

## 6.5 最先端半導体デバイスの開発

### 6.5.1 シリコン LSI の次世代ゲートスタック構造の開発

#### (1) 研究の背景と目的

MOS トランジスタは、「スケーリング（比例縮小則）」と呼ばれる指導原理に従った微細化によって性能向上が図られてきた。しかし、MOS トランジスタの微細化は物理的限界に直面している。そこで、ゲート絶縁膜に high-k 膜と呼ばれる高誘電率材料を用いて物理膜厚を大きくすることで、電流駆動力を犠牲にせずにゲートリーク電流を抑制する研究が近年盛んに行われてきている。また高誘電率絶縁膜の導入と同時に、従来の多結晶シリコンゲート電極で生じるゲート空乏化による実効絶縁膜厚増加を回避するために、金属材料をゲート電極に用いることが期待されている。こうした金属電極／高誘電率絶縁膜ゲートスタック構造は、次世代の 45nm 技術ノード MOS トランジスタで導入されようとしており、既存のトランジスタ製造工程に適合する材料の探索をはじめ、成膜手法や構造最適化処理といった原子レベルで制御された製造プロセスの開発が集中的に行われている。本研究では独自の視点からゲートスタック構造特性評価、プロセス開発を行っている。

#### (2) TiN/HfSiON 界面反応が High-k 膜の結晶化温度と電気特性に及ぼす影響[6.5.1-1]

High-k 絶縁膜・メタル電極複合技術により素子の低消費電力化と高性能化が可能である。しかし電極界面の熱安定性に関しては不明な点がおおく、特に絶縁膜中への金属拡散は耐熱性やプロセス設計指針を決定する重要な検討課題である。よって本研究では TiN/HfSiON 構造について熱処理に伴う Ti 拡散や High-k 膜の構造変化、さらには電気特性への影響を検討した。

CVD-HfSiON 膜上に TiN 電極を PVD 堆積し、窒素中で熱処理を施した後、Ti 拡散量を全反射蛍光 X 線分析で、HfSiON 膜の結晶構造を反射高速電子線回折(RHEED)により評価した。

図 6.5.1-1 に HfSiON 膜の Ti 含有量を示しており、700°C 以上の熱処理で電極中の Ti 元素が HfSiON 膜に拡散していることがわかった。

また、TiN/HfSiON 試料と HfSiON ベア膜に 700°C 熱処理を施した際の High-k 膜表面の RHEED パターンの結果から、TiN/HfSiON 試料では High-k 膜が結晶化し、Ti 拡散により結晶化温度が大幅に低下することが明らかとなった。電極界面の反応が電気特性に影響を及ぼすことも確認された。

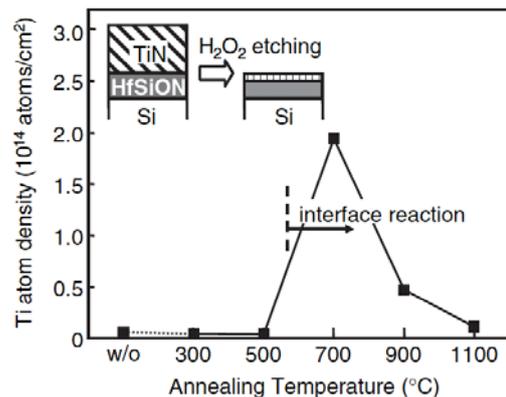


図 6.5.1-1 Ti/HfSiON 試料の Ti 含有量のアニール温度依存性

#### (3) Hf-Silicate 膜の局所絶縁劣化現象の C-AFM 観察 —窒化による信頼性向上機構の検討—[6.5.1-2]

Hf-silicate は有望な High-k 膜材料であり、窒化による耐熱性向上が可能である。しかし窒素導入が絶縁破壊等の信頼性に及ぼす影響は明らかにされていない。よって本研究では、窒化処理による信頼性向上機構を電流検出型 AFM (C-AFM) で調べた。

膜中央に HfO<sub>2</sub> 層を有した Hf-silicate を堆積した (EOT:1.4nm)。窒化 (HfSiON) および未処理 (HfSiO) 試料に 800°C 熱処理を施し、絶縁劣化特性を C-AFM を用いて評価した。

熱処理後の HfSiON 膜の電流像 (探針:-3V) には絶縁劣化箇所や I-V 測定時の High-k 膜劣化は観測されない。図 6.5.1-2 は未窒化膜の結果であり、低バイアスからリークスポットを確認でき、高バイアス条件でスポット数が増加している。構造解析から両試料は結晶化しており、また表面形

状とリークスポット位置に相関がないことがわかった。これらの結果は結晶粒界に無関係な絶縁破壊機構が存在することを意味する。High-k 膜中の窒素の役割に着目した第一原理計算結果から上記実験結果の考察も行った。

#### (4) Hf 系ゲート絶縁膜/電極界面の実効仕事関数変調機構の統一的理解

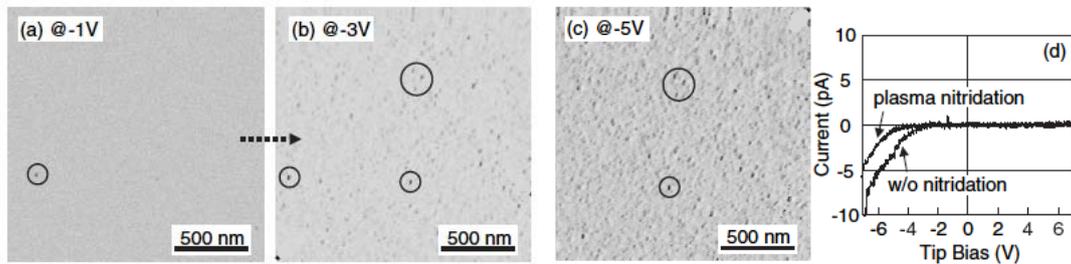


図 6.5.1-2 熱処理後の HfSiO 膜の電流像と I-V 特性

CMOS デバイスへの Metal/High-k ゲートスタックの導入に向け、種々の金属電極材料の実効仕事関数制御が課題となっている。近年、Poly-Si、p-metal など報告されているフェルミレベルピニングや、Au や Pt といった不活性 p-metal に見られる実効仕事関数の不安定性を説明できる理論 ( $V_0$  モデル、 $\phi_{\text{CNL}}^G$  モデル)が提唱されている。しかし、これらのモデルを踏まえ、体系的な実験による現象解明は十分になされていない。本研究では界面形態を制御した metal/HfSiON スタックを用いて、実効仕事関数の不安定性をこれらのモデルに則して詳細な実験を通じて検証した。

MOCVD 堆積した HfSiON 絶縁膜表面の清浄化を真空中加熱や水素ラジカル照射で実施した後、Au または Al 電極を蒸着してキャパシタを作製し、一部の試料には FGA 処理を施した。電気特性評価は C-V 測定、界面ダイポールの計測には X 線光電子分光法(XPS)を用いた。

各処理を施した Au/HfSiON ゲートスタックの C-V 特性から、FGA を施したキャパシタのフラットバンド電圧( $V_{\text{fb}}$ )は理論値に比べ負バイアス方向へシフトしていることが分かった。p-metal 蒸着後の FGA により High-k 膜中に酸素空孔が生じ、フェルミレベルピニングが起きたと考えられ  $V_0$  モデルと一致する。対して、水素ラジカル処理を施したスタックは正バイアス方向の  $V_{\text{fb}}$  シフトが見られる。さらに、この試料を大気暴露すると放置時間と共に徐々に  $V_{\text{fb}}$  は理論値まで回復した。この現象は Au-Hf 軌道混成を考慮した  $\phi_{\text{CNL}}^G$  モデルならびに気相中からの拡散種によって軌道混成がとけたことを示唆している。これらの実験結果から、 $V_0$  モデル、 $\phi_{\text{CNL}}^G$  モデルの両モデルは Metal/High-k 界面における実効仕事関数の挙動に対して一般性を有していると言える。

#### 参考文献

- [6.5.1-1] Heiji Watanabe, Shiniti Yoshida, Yasumasa Watanabe, Takayoshi Shimura, Kiyoshi Yasutake, Yasushi Akasaka, Yasuo Nara, Kunio Nakamura and Keisaku Yamada, "Thermal Degradation of HfSiON Dielectrics Caused by TiN Gate Electrodes and Its Impact on Electrical Properties", Jpn. J. Appl. Phys. 45, 2993 (2006).
- [6.5.1-2] Heiji Watanabe, Satoshi Kamiyama, Naoto Umezawa, Kenji Shiraishi, Shiniti Yoshida, Yasumasa Watanabe, Tsunetoshi Arikado, Toyohiro Chikyow, Keisaku Yamada, and Kiyoshi Yasutake, "Role of Nitrogen Incorporation into Hf-Based High-k Gate Dielectrics for Termination of Local Current Leakage Paths", Jpn. J. Appl. Phys. 44, L1333 (2005).

## 6.5.2 パワーエレクトロニクス用高性能 SiC-MOS 構造作製技術の開発

### (1) 研究の背景と目的

SiC 等のワイドギャップ半導体は、大電力を高速かつ高効率で変換・制御するパワーエレクトロニクス用の半導体材料として注目されている。近年の研究開発により SiC 基板の品質が飛躍的に向上し、高耐圧 MOSFET の試作が進められている。これらの MOS デバイスを構成する絶縁膜層には、従来の Si デバイスと同様に、SiC 基板表面を酸化して形成した SiO<sub>2</sub> を用いている。しかし SiC 半導体では、酸化前の表面清浄化や平坦化技術が未だ確立していない。また絶縁膜形成工程については、熱酸化 SiO<sub>2</sub> 中に数%程度のカーボンが残留し、界面領域に濃縮されたカーボンが電気特性や絶縁耐圧を劣化させることが指摘されている。従って SiC の優れた物性値から予測されるデバイス特性を実現するには至っていない。本研究では高性能 SiC デバイスの実現に向け、電気特性に優れた MOS 構造を形成する技術を確認することを目的とする。

### (2) 大気圧水素プラズマを用いた SiC 表面処理

SiC 半導体は次世代パワーデバイス材料として期待されている。しかし平坦で清浄な表面を形成するための表面処理技術が確立していないのが現状である。我々は、低温かつ高効率な SiC 基板表面の処理技術として、大気圧水素プラズマ法を提案し、その効果を確認したので報告する。

図 6.5.2-1 に示すような回転電極を有した大気圧プラズマ装置を用いて、HF 洗浄した SiC 基板に水素プラズマ処理を施した(チャンバー内圧力: 760Torr He:H<sub>2</sub>=1:1, 電極-基板間距離: 300 $\mu$ m, 電力: 400W, 基板温度: 室温)。本装置では、高速回転する電極によって基板表面にガス供給を行うと共に、電極表面の冷却を効果的に行うことが可能である。処理後、表面形状を位相シフト干渉顕微鏡及び原子間力顕微鏡を用いて評価し、結晶構造および表面組成を低速電子線回折(LEED)と X 線光電子分光(XPS)を用いて調べた。

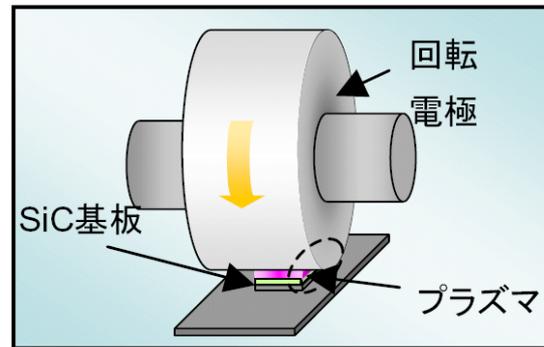


図 6.5.2-1 大気圧水素プラズマ発生用回転電極

図 6.5.2-2 に水素プラズマ処理を 10 分間施した SiC 表面の位相シフト干渉顕微鏡観察結果を示す。洗浄直後の表面に無数に存在した研磨痕は、プラズマ処理後には観測されない。また LEED パターンは明瞭な 1x1 回折スポットを示し、結晶構造が乱れた加工変質層を除去できることがわかった。また XPS 測定から HF 洗浄後に残留していたフッ素は、処理後の表面には存在しないことも確認している。電極直下の加工速度は 1 $\mu$ m/min に達し、高密度プラズマによって高効率で SiC 基板の表面処理が可能となった。

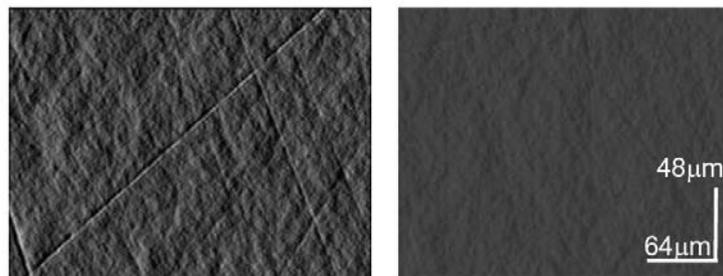


図 6.5.2-2 水素プラズマ処理前後の表面形状  
(左: 洗浄後 右: 水素プラズマ処理 10 分後)

### (3) AlON/SiO<sub>2</sub> 積層構造をゲート絶縁膜に用いた 4H-SiC MOS キャパシタの作製と評価

SiC 半導体は、優れた物性値から次世代パワーデバイス用材

料として期待されている。従来、SiC デバイスの絶縁膜には熱酸化膜を用いてきたが、SiO<sub>2</sub>/SiC 界面での C 偏析や SiO<sub>2</sub> 膜中の残留 C による MOS デバイスの界面電気特性ならびに信頼性劣化の問題が生じている。一方、高誘電率(High-k)絶縁膜は、次世代 Si-MOSFET への適用に向けて様々な候補材料の研究がなされており、近年では SiC-MOS への応用が検討されている。その中でも Al<sub>2</sub>O<sub>3</sub> は大きなバンドギャップを有し、SiC-MOS への適用が期待されるが、Al<sub>2</sub>O<sub>3</sub> 中の膜中固定電荷による MOSFET の移動度劣化が懸念される。本研究では、固定電荷抑制に有効な窒素添加 AION 絶縁膜と SiO<sub>2</sub> との積層構造をゲート絶縁膜として用いた SiC-MOS 構造を提案し、その物性ならびに MOS キャパシタの電気特性評価を行った。

ウェット洗浄した 4H-SiC 基板を 1100°C でドライ酸化を行った後、反応性スパッタ法により AION 絶縁膜を堆積して AION/SiO<sub>2</sub>/SiC 積層構造を作製した。図 6.5.2-3 は Al 電極を用いた MOS キャパシタの C-V 測定結果であり、

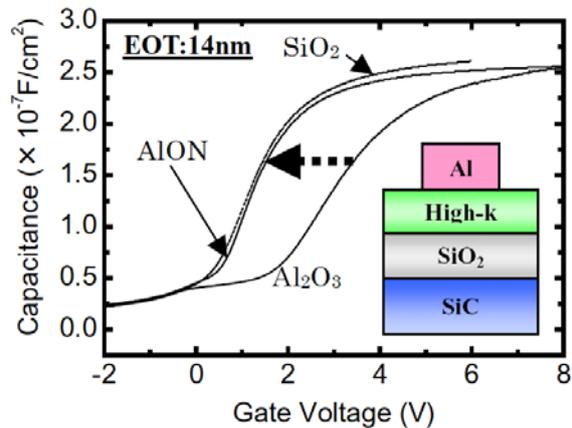


図 6.5.2-3 Al 電極を用いた MOS キャパシタの C-V 曲線

比較用試料として同等の電気膜厚（酸化膜換算膜厚 EOT=14nm）の熱酸化 SiO<sub>2</sub> ならびに Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 積層構造試料の測定結果を合わせて示した。Al<sub>2</sub>O<sub>3</sub> を用いたキャパシタでは C-V 曲線が大きく正バイアス方向にシフトしているのに対し、AION/SiO<sub>2</sub> 積層構造試料では C-V 曲線はリファレンス SiO<sub>2</sub> と一致しており、膜中固定電荷を抑制できていることがわかる。また C-V ヒステリシスは AION 試料で最も小さく、AION/SiO<sub>2</sub> 積層構造によって電気特性に優れた SiC-MOS を実現することができた。また、AION 膜のバンドギャップ等の物性や電気特性の最適化ならびに信頼性評価結果についても検討を行った。

#### (4) SiO<sub>2</sub>/SiC 界面特性の酸化膜厚依存性とその改善法の検討

SiC はパワーデバイス用ワイドギャップ半導体として注目されている。しかし熱酸化膜界面に高密度の欠陥準位が存在するため、SiC-MOS デバイスの性能が劣化することが知られている。本研究では、SiO<sub>2</sub>/SiC 界面物性の理解と特性改善策の検討を目的として、界面構造ならびに電気特性の酸化膜厚依存性を詳細に調べた。

4H-SiC 基板を 1100 °C でドライ酸化して熱酸化膜(膜厚 8~80nm)を形成した。各試料に Al 電極を真空蒸着して MOS キャパシタを作製し、C-V ならびに I-V 測定を行った。また界面構造を XPS 及び SIMS 分析から評価した。

C-V 測定から求めた SiO<sub>2</sub>/SiC 界面準位ならびに固定電荷密度の酸化膜厚依存性より膜厚 20nm 以上で界面準位密度とフラットバンドシフトの増加傾向が顕著になっていることがわかった。フラットバンドから求めた固定電荷密度は薄膜領域で  $4.1 \times 10^{11} \text{cm}^{-2}$ 、厚膜領域で  $1.3 \times 10^{12} \text{cm}^{-2}$  であった。これらの結果は、熱酸化の初期段階ではカーボン不純物が気相中に脱離して SiO<sub>2</sub>/SiC 界面特性劣化が軽減されることを示唆しており、我々が提案する AION/SiO<sub>2</sub>/SiC 積層 MOS 構造の優位性を支持する結果である。

### 6.5.3 極薄シリコン酸化膜を用いた次世代受光およびセンシングデバイスの開発

#### (1) 研究の背景と目的

次世代の集積デバイスとして、半導体・光集積デバイスや半導体・バイオ集積デバイスが期待されている。集積回路用半導体デバイスとしては、シリコン集積デバイスが次世代も主流であり、シリコン集積デバイスは、金属-酸化物-半導体(MOS)プロセスにより製造されている。したがって、半導体・光集積デバイスや半導体・バイオ集積デバイスを実現するうえで、シリコン MOS プロセス適合性の高い製造プロセスおよびデバイス構造が求められている。

本研究では、シリコン MOS 構造のための極めて薄いシリコン酸化膜形成技術、極薄シリコン酸化膜を有する MOS トンネル構造受光デバイス、SOI(Silicon-on-Insulator)構造作製技術である貼り合わせ技術を応用した新構造バイオセンシングデバイスの開発を目的としている。

#### (2) シリコン昇温過程反応の定量分析法の開発[6.5.3-1,2]

極めて薄いシリコン酸化膜をシリコン(Si)ウェハの熱酸化により形成する方法において、高い絶縁性の極薄シリコン酸化膜を実現するために、熱酸化時の昇温過程を精密に制御することが重要である。昇温過程を精密制御するためには、昇温過程での Si ウェハ表面状態の変化を理解することが必要である。

本研究では、熱脱離分光法を用いて、昇温と降温との組み合わせにより、昇温中の水素終端 Si(100)と水分子との反応を定量的に分析する方法を開発した。本方法により、水素脱離後 Si 表面は水分子と約 400 °C で反応することを明らかにした。そして、表面水素被覆率の温度依存性を定量的に明らかにした。また、本方法により、昇温中の水素終端 Si(100)と酸素分子との反応を定量的に解析した。シリコンダイハイドライドの水素の約半数が脱離した後、シリコンモノハイドライドの水素の脱離が始まることを明らかにした。そして、シリコンモノハイドライドの Si と水素との結合は、加熱中に表面 Si バックボンドサイトに酸素原子が吸着することにより安定化されることを明らかにした。

#### (3) 極薄シリコン酸化膜精密制御形式技術の開発[6.5.3-3]

シリコン集積回路において、シリコン酸化膜は不揮発性メモリに使用され、ナノメートルスケールの新しいシリコンデバイスに用いられる可能性が高い。シリコン集積デバイスに用いられるシリコン酸化膜の厚さが薄くなると、所定の熱酸化温度で形成される酸化膜の厚さに対して、昇温時に形成されるプレオキシサイドの膜厚の比率が相対的に増加することになる。したがって、プレオキシサイドの極薄シリコン酸化膜の絶縁性への影響を明らかにして、プレオキシサイドの形成を制御することが重要である。

本研究では、超清浄雰囲気中で Si ウェハの急速熱酸化が可能な装置を開発し、プレオキシサイド膜厚の昇温速度依存性を明らかにした。また、シリコン酸化膜厚を一分子層単位で形成できる技術を開発した。そして、プレオキシサイド膜厚を薄くすると、極薄シリコン酸化膜を流れるトンネル電流が低減し、極薄シリコン酸化膜の絶縁破壊電圧が高くなることを明らかにした。本技術を用いることにより、高い絶縁性のシリコン酸化膜をシリコンデバイスに使用できる。

#### (4) 極薄シリコン酸化膜を用いた次世代受光デバイスの開発[6.5.3-3~5]

超高集積回路中で、フォトンエミッターやフォトディテクターなどの光配線に MOS トンネルダイオードを用いる試みが報告されている。しかし、極薄シリコン酸化膜を有する MOS ダイオードをフォトディテクターに用いる場合、微弱な光を検出するための十分に低い暗電流を実現する技術が確立していない。

本研究では、熱酸化時の昇温過程を制御することによってプレオキシサイドの形成を制御した上で、厚さ 3.1nm の極薄シリコン酸化膜を形成し、Al/SiO<sub>2</sub>/n-Si 構造を有する MOS ダイオードを作

製した。プレオキシサイドの形成を制御することによって、n-Si 基板から Al に流れるトンネル電流量を制御し、なおかつ絶縁破壊電圧を大きくすることが可能となった。また、光照射時に Al から n-Si 基板へ流れるトンネル電流が増加する現象を見いだした。そしてこれは、光励起によって形成された反転層により、極薄シリコン酸化膜にかかる電圧が増加したためであると結論付けた。さらに、極薄シリコン酸化膜を有する MOS トンネル構造を作製し、光照射下で電気特性を測定したところ、急峻な ON/OFF 比の光電流－光強度密度特性を発見した。また、透明導電膜として SnO<sub>2</sub> を用いた SnO<sub>2</sub>/SiC/p-Si(100)構造受光デバイスを開発した。

#### (5) シリコンを用いた次世代センシングデバイスの開発

シリコン集積デバイスにバイオセンサーを集積することにより、半導体・バイオ集積デバイスの実現が期待されている。そこで、シリコンを用いてナノメートルオーダーの精度で構造を組み立て、ナノレベルの領域で発現する様々な効果を利用して液体種・ガス種の同定を行うセンサー技術の開発を行った。

本研究では、リソグラフィによりパターニングを施した Si ウェハを湿式洗浄後の Si ウェハと向かい合わせて貼り合わせる手法により、微小ギャップを有する新しい構造のセンシングデバイスを形成した。約 200nm のギャップを有するセンシングデバイスを作製し、その中に超純水を導入した時の容量－電圧(C-V)、コンダクタンス－電圧(G-V)特性測定を行った。その結果、超純水導入前後で C-V 特性・G-V 特性に変化が現れることを見だし、本構造における超純水のセンシングが可能であることを実証した。さらに、微小ギャップを有したセンシングデバイスのギャップ間に導入したデオキシリボ核酸(DNA)のセンシングに成功している。また、シリコン酸化膜／シリコン基板上に DNA を伸張固定した後、ナノギャップ電極を形成し、ギャップ間の DNA の紫外線照射損傷を電流変化により検出することに初めて成功している。

#### (6) 総括と今後の展望

MOS タイプの新しい受光およびセンシングデバイスの実現に向け、超高品質の極めて薄いシリコン酸化膜を一分子層単位で形成する技術を開発し、極薄シリコン酸化膜を有する MOS トンネル構造受光デバイスを開発した。さらに、シリコンを用いた新しいギャップ構造バイオセンシングデバイスを開発した。これらのデバイスは、シリコン MOS プロセスにより製造できるため、集積回路用シリコン半導体デバイスとの集積が可能であり、半導体・光集積デバイスや半導体・バイオ集積デバイスとして発展させる。

#### 参考文献

- [6.5.3-1] Shinichi URABE, Kazuo NISHIMURA, Satoru MORITA and Mizuho MORITA: Reaction of Hydrogen-Desorbed Si(100) Surfaces with Water during Heating and Cooling, Japanese Journal of Applied Physics, 43(12), 8242-8247(2004).
- [6.5.3-2] Shinichi URABE, Kazuo NISHIMURA, Syuhei NISHIKAWA, Satoru MORITA and Mizuho MORITA: Reaction of Hydrogen-Terminated Si(100) Surfaces with Oxygen at Very Low Pressures during Heating, Japanese Journal of Applied Physics, 44(11), 8091-8095(2005).
- [6.5.3-3] Satoru MORITA, Akihito SHINOZAKI, Yuuki MORITA, Kazuo NISHIMURA, Tatsuya OKAZAKI, Shinichi URABE and Mizuho MORITA: Tunneling Current through Ultrathin Silicon Dioxide Films under Light Exposure, Japanese Journal of Applied Physics, 43(11B), 7857-7860(2004).
- [6.5.3-4] Syuhei Nishikawa, Hideaki Hashimoto, Motonori Chikamoto, Kosuke Horikoshi, Minoru Aoki, Kenta Arima, Junichi Uchikoshi, Mizuho Morita: Photo current through SnO<sub>2</sub>/SiC/p-Si(100) structures, Thin Solid Films, 508, 385-388(2006).

[6.5.3-5] Hideaki HASHIMOTO, Ryuta YAMADA, Takaaki HIROKANE, Kenta ARIMA, Junichi UCHIKOSHI, and Mizuho MORITA: Photodetective Characteristics of Metal-Oxide-Semiconductor Tunneling Structure with Aluminum Grid Gate, Japanese Journal of Applied Physics, 46(4B), 2467-2470(2007).

## 6.5.4 放射光 X 線による先端半導体デバイス材料評価

### (1) 研究の背景と目的

シリコン LSI の MOSFET は微細化することによりその性能の向上を成し遂げてきた。しかし、さらなる単純な微細化だけでは性能の向上は飽和傾向にあり、よりいっそうの性能向上のための新材料の導入が不可欠となっている。チャンネルには歪み Si、Ge、化合物半導体、絶縁膜には高誘電率材料、ゲート電極には金属の導入がそれぞれ検討されている。本研究はこれらの新材料について放射光を用いて評価することであり、結晶性の良悪、歪み量、それらの均一性、結晶化の有無、界面平坦性等の評価を行った。

### (2) SiGe/SOI 構造の酸化濃縮過程における自己停止現象とその解析[6.5.4-1]

Ge に比べて Si が選択的に酸化されることを用いた SiGe の酸化濃縮法は、歪み Si デバイス用 SGOI 基板や Ge チャンネルの作製技術として注目されている。これまで酸化濃縮反応に関する考察がなされてきたが、未だ詳細な機構解明にはいたっていない。本研究では、SiGe 層の初期 Ge 濃度が異なる試料に酸化濃縮を施し、酸化膜厚や Ge 濃度及び歪み量を観測することで、その酸化機構を詳細に検討した。

SOI 基板上に  $\text{Si}_{1-x}\text{Ge}_x$  ( $x=0\sim 0.13$ ) 層を堆積した各試料について、熱酸化 (1000 °C、1 時間) と酸化膜厚測定を繰り返し、酸化速度の初期 Ge 濃度依存性を評価した。

初期 Ge 濃度の異なる試料に酸化濃縮を行った結果、全ての試料につ

いて、20 分以内の酸化初期の段階では、Ge 濃度の増加と共に酸化速度が増大する傾向にあった。一方、図 6.5.4-1 に示した長時間酸化の場合、初期 Ge 濃度が 0~5.4% の試料では初期酸化と同様に、Ge 濃度が高い試料で酸化速度が速いことがわかる。しかし Ge 濃度が 6.8% 以上の試料では、酸化膜成長が飽和傾向を示し、初期 Ge 濃度が高い試料でより短時間の処理で酸化膜厚が飽和することが明らかとなった。これらの結果は、 $\text{SiO}_2/\text{SiGe}$  界面での極薄融解層を考えることによって解釈できることを示した。

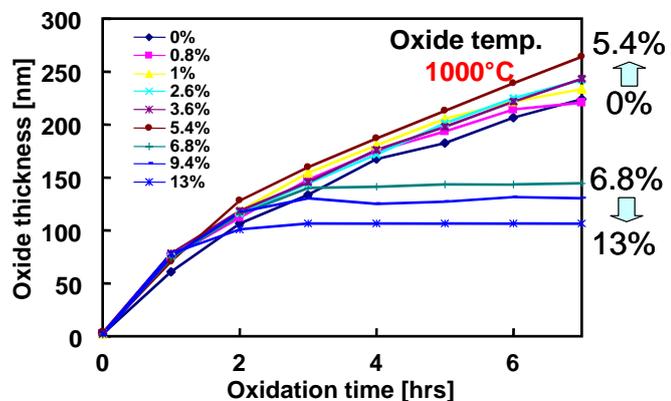


図 6.5.4-1  $\text{Si}_{1-x}\text{Ge}_x$  の酸化膜厚と酸化時間の関係

### (3) X 線 CTR 散乱を用いた High-k/Si 界面酸化に関する研究

High-k/Si 界面への  $\text{SiO}_2$  層の挿入によって電気特性を改善することができるが、界面層の増膜はゲート容量の低下をもたらす。この界面  $\text{SiO}_2$  層の成長は、Si 表面の熱酸化と比較して低温でも顕著であることから、High-k 膜に何らかの増速酸化効果があると考えられてきた。この機構としては、High-k 膜中を酸素が拡散する際に原子状酸素などの活性な状態へと励起される現象が考えられるが、推測の域を出ていない。一方、これまで我々は、熱酸化  $\text{SiO}_2$  中に存在する基板 Si 起因の残留秩序構造が原子状酸素の拡散により破壊することを X 線 CTR(Crystal Truncation Rod)散乱測定により明らかにしてきた。そこで本研究では、X 線 CTR 散乱測定を High-k/Si 界面酸化の評価に適用し、High-k 膜による増速酸化機構について調べた。

膜厚 7nm の熱酸化  $\text{SiO}_2/\text{Si}$  上に metal-Hf をスパッタ堆積し、熱酸化前後での  $\text{SiO}_2$  残留秩序構造起因の CTR 散乱強度ピークの変化を測定した。その結果、図 6.5.4-2 に示すように Hf を堆積した試料で残留秩序構造起因の CTR 散乱ピークが酸化温度の上昇とともに減少し、1000 °C 酸化では完全に消失した。一方で熱酸化  $\text{SiO}_2/\text{Si}$  に同様の処理を施した場合には CTR 散乱ピークは増加し

たことから、散乱ピークの減少は Hf の酸化で形成された HfO<sub>2</sub> 層が原因であり、High-k 膜中を酸化種が拡散する際に原子状酸素に類似した活性種が生成された結果、SiO<sub>2</sub> 中の残留秩序構造が崩壊したと考えられる。

(4) 放射光 X 線マイクロビームとトポグラフィによる歪み Si ウェーハの評価

微細化に頼らない MOSFET の高性能化技術として、チャンネルに歪み Si を用いる手法が注目されている。そのひとつとして歪み Si 基板を用いる方法があり、その作製法が検討されている。本研究では、作製法の異なる歪み Si ウェーハについて放射光 X 線マイクロビームとトポグラフィによる評価を行った。

歪み Si 基板には SiGe-on-insulator(SGOI)構造に歪み Si 層を成長させたものを用いた。SGOI 構造を貼り合せ法と酸化濃縮法によって作製した 2 種類の歪み Si 基板について測定した。放射光 X 線マイクロビームは SPring-8 BL13XU でフレネルゾーンプレートを用いて形成した。ビームサイズは 0.6(V)・1.6(H)mm<sup>2</sup> であった。トポグラフ測定は Photon Factory BL15C で行った。

図 6.5.4-3 に貼り合せ法によって作製した試料の Si 基板と SiGe 層の 004 反射のロックンクカーブを測定位置を変えながら測定した結果を示す。SiGe ではピーク強度、位置とも測定場所毎により揺らいでいることがわかる。Si 基板ではピーク位置はほとんど変化していないが、その強度に分布がある。Si 基板の反射を用いてトポグラフ測定を行った結果、ライン状の欠陥像を観測することができた。

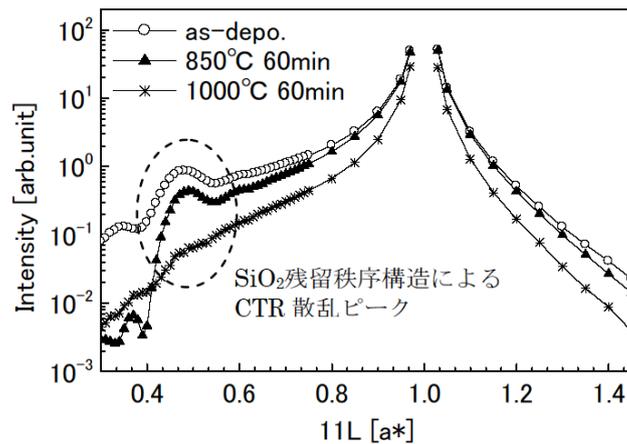


図 6.5.4-2 残留秩序構造起因の CTR 散乱ピークが酸化温度

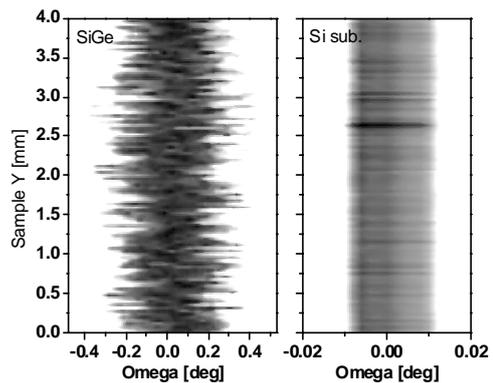


図 6.5.4-3 ロックンクカーブの変化

参考文献

[6.5.4-1] "Self-limiting oxidation of SiGe alloy on silicon-on-insulator wafers", Takayoshi Shimura, Michihiro Shimizu, Shinichiro Horiuchi, Heiji Watanabe, Kiyoshi Yasutake, and Masataka Umeno, Appl. Phys. Lett. 89 111923 (2006).